

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-151720

(43)公開日 平成6年(1994)5月31日

(51)IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04	U	8427-4M		
21/52		7376-4M		
27/14		7210-4M	H 0 1 L 27/ 14	Z

審査請求 未請求 請求項の数4(全 7 頁)

(21)出願番号 特願平4-302631

(22)出願日 平成4年(1992)11月12日

(71)出願人 000004226

日本電信電話株式会社  
東京都千代田区内幸町一丁目1番6号

(72)発明者 宝川 幸司

東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内

(72)発明者 植松 芳彦

東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内

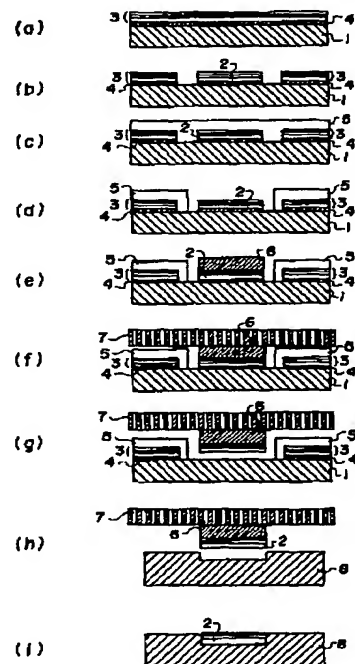
(74)代理人 弁理士 谷 義一 (外1名)

(54)【発明の名称】 モノリシック集積回路の構成法

(57)【要約】 (修正有)

【目的】 複数個のリフトオフ膜を同時に正確に位置合わせでき接着界面の汚染がない状態で接着できるモノリシック集積回路の構成法を提供する。

【構成】 GaAs基板上にリフトオフ層としてのAlAs層を介してGaAsデバイスを作製し、これを分離加工する。レジストを塗布して非リフトオフ部を保護し、応力付与膜としてワックスをリフトオフ部に塗布する。穴を有するキャリヤシートをワックス層に接着し、AlAs層をエッチングしてリフトオフする。キャリヤシートを移動してシリコン基板に位置合わせし、接着する。



## 【特許請求の範囲】

【請求項1】 デバイスを実現してなる上層とリフトオフ層である下層とを含む多層の半導体膜を有する第一の半導体基板の下層をエッチングにより取り去り、上層を薄膜として剥離し、その薄膜を第二の半導体基板に張り付けるモノリシック集積回路の構成法において、前記薄膜のリフトオフ前に穴を有する弾性のキャリヤシートを前記薄膜のキャリヤシートとして用いるべく前記薄膜に接着し、しかる後にリフトオフし前記薄膜を前記キャリヤシートに張り付けた状態で前記第二の基板上に配置し、前記薄膜と前記第二の基板とを張り付けることを特徴とするモノリシック集積回路の構成法。

【請求項2】 応力付与膜を前記薄膜上に付加しその上に前記キャリヤシートを張り付けることを特徴とする請求項1記載のモノリシック集積回路の構成法。

【請求項3】 前記薄膜の上に直接前記キャリヤシートを置き応力付与膜を前記薄膜とキャリヤシートの接着を兼ねて、後から付加することを特徴とする請求項1記載のモノリシック集積回路の構成法。

【請求項4】 位置合わせマークを前記キャリヤシート上あるいは前記応力付与膜表面、あるいは前記薄膜上に配置してなることを特徴とする請求項1、2または3記載のモノリシック集積回路の構成法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は機能・特性などが異なる複数個の電子の集積回路あるいは光集積回路をエピタキシャルリフトオフ技術に基づき、モノリシックに組み込むことにより個々の回路では得られない機能性や経済性などの特徴を発揮し得るモノリシック集積回路の構成法に関するものである。

## 【0002】

【従来の技術】 異質の半導体素子例えば低価格・大規模集積回路実現性、大面積・軽量・高強度・光熱伝導性などに優れるシリコン素子と、超高速回路や光素子の実現性などに優れるGaAs, InPなどの化合物半導体素子をモノリシックに組み合わせ集積化することによって、これまでにない高性能、高機能あるいは低コストな回路を実現できる可能性がある。従来、このような素子の実現を狙いとしてシリコン基板上にガリウム砒素のような化合物半導体を成長させるエピタキシャル成長技術、およびそのシリコン基板上のデバイス（オンシリコンデバイス）の検討が精力的に進められている。その結果、単体デバイスあるいは小規模回路ではバルク基板上的ものと遜色のないレベルの特性が得られるに至っているが、材料そのものからくる逆位相粒の存在・格子不整合による転移の存在などの本質的問題点を完全に解決するには至らず、集積度の大きな回路や高性能な素子実現は困難である。また素子歩留り、長期信頼性など解決すべき問題点が少なくない。

【0003】 このような中で、最近エピタキシャルリフトオフ法を基礎としたフィルムボンディング技術によるハイブリッド化が提案され、有望技術として注目を集めている。この技術は、現状で得られている完全な結晶上に個別的な理想に近いデバイスを構築し、張り合わせることでモノリシックなデバイスを実現しようとするのが狙いとするところである。

【0004】 この技術ではAlAsのフッ酸に対するエッチングレートがGaAsなどの他の材料に比べて10の7乗程度と極めて大きいことを利用して、結晶を成長する段階で下層に薄い（10nmから50nm程度）AlAs層を挿入し、その上にデバイスを実現するための層を成長させる。デバイス作製工程後（あるいは工程の途中段階または前の段階でもよい）、フッ酸によるウェットエッチングによりAlAsより上の層をリフトオフする。リフトオフ時に出る気泡のためにリフトオフされた薄膜が損傷するのを避けるため、反応が激しく起こらないようなエッチング条件を選び、かつリフトオフ前に剥離膜となるべき部分の表面にアピエゾンワックスを塗布し、それによる応力を利用し、出てきた気泡が逃げ出すようにする技術が開発されてから本格的に使えるようになった。リフトオフされる薄膜の厚みはデバイスの構造やバッファ層の有無などにより異なるが、通常数100nmから数μm程度であり、寸法は1～2cm程度の大きさまで可能である。

【0005】 基板上への薄膜の張り付けは接着剤を使う方法もあるが、基板の汚染・平坦度確保などの点からファンデルワールス力による接着が最も適した方法である。

【0006】 従来デバイスが搭載されたチップをエッチングにより薄層化する要求はパワデバイスなどにおいて存在し、このために機械的な研磨により基板を削る方法がとられている。しかし、この技術では薄層化に限界があり、100μmオーダー程度に留まっている。基板全体をエッチングにより融かし去る方法もあるが、工程が複雑であり実用的な方法とはいえない。一方、リフトオフという簡単な技術を基礎とした方法であるにもかかわらず、リフトオフされることによってデバイスにはほとんど損傷がなく、エピタキシャル成長により製作した薄膜のような欠陥の問題もなく、さらに膜厚が極めて小さいことから、張り付けた後からの集積回路化が可能であるという特長もある。

## 【0007】

【発明が解決しようとする課題】 しかし、このような特長のあるこの技術も集積化工程との整合性が悪いという大きな問題点がある。リフトオフした薄膜を基板に張り付ける段階で所定の位置に精度良く位置合わせすることが困難であり、精密な構造の素子を扱うことが困難なほか、多数個の薄膜を扱うことも事実上不可能であり、少数の薄膜を扱うにしても極めて生産性が悪いなどの問題

点がある。

【0008】これらの問題点を解決する方法としてリフトオフした薄膜からワックスを剥した後で透明なシートに並べて張り付けその後で基板に接着（ボンディング）する方法も提案されているが、この場合、シート上への精密な位置合わせが困難であり、複数の薄膜を同時に位置合わせするには寸法精度がとれないという問題があるほか、接着面の汚染により接着信頼性が低下するという重大な問題がある。

【0009】本発明はエピタキシャルリフトオフ法を用いるボンディング技術を基礎としたモノリシック集積化技術において、複数のリフトオフ膜を同時に正確に位置合わせできかつ接着界面の汚染が無い状態で接着させることが可能な、集積回路作製工程との整合性がよいモノリシック集積回路の構成法を提供することを課題とする。

【0010】

【課題を解決するための手段】上記目的を達成するため請求項1記載の本発明は、デバイスを実現してなる上層とリフトオフ層である下層とを含む多層の半導体膜を有する第一の半導体基板の下層をエッチングにより取り去り、上層を薄膜として剥離し、その薄膜を第二の半導体基板に張り付けるモノリシック集積回路の構成法において、前記薄膜のリフトオフ前に穴を有する弾性のキャリアシートを前記薄膜のキャリアシートとして用いるべく前記薄膜に接着し、しかる後にリフトオフし前記薄膜を前記キャリアシートに張り付けた状態で前記第二の基板上に配置し、前記薄膜と前記第二の基板とを張り付けることを特徴とする。

【0011】請求項2記載の発明は、応力付与膜を前記薄膜上に付加しその上に前記キャリアシートを張り付けることを特徴とする。

【0012】請求項3記載の発明は、前記薄膜の上に直接前記キャリアシートを置き応力付与膜を前記薄膜とキャリアシートの接着を兼ねて、後から付加することを特徴とする。

【0013】請求項4記載の発明は、位置合わせマークを前記キャリアシート上あるいは前記応力付与膜表面、あるいは前記薄膜上に配置してなることを特徴とする。

【0014】

【作用】本発明のモノリシック集積回路の構成法では接着工程を、リフトオフすべき複数の素子の作製時にシリコン上でのレイアウトの基礎となるように配置しておき、その位置情報を保つように周辺をクランプした編目状のキャリアシートに張り付け、その状態でリフトオフし、そのままシリコン基板に張り付け、その後にワックスを取り去ることによって行う。

【0015】本発明のモノリシック集積回路の構成法では、リフトオフ時に反応液や気泡がキャリアに妨げられることなく自由に反応点と外部の間で行き来できるよう

に編目状のシートをキャリアシートとして用いている。またフィルム状に剥離すべきデバイスが乗せられている表面のワックスとその編目状のキャリアシートを接着した後はじめてリフトオフを行い、すなわち個々の薄膜が各々独立に剥離される状態とならないように場所情報を保った成長基板から同時に剥離する。さらにそのまま基板に接着させ、圧力を加えて接着することからリフトオフ面は剥離後余計な工程を経ることなく、従って清浄な状態のまま接着すべき場所に位置合わせされ加圧され接着される。

【0016】すなわち本発明によるとエピタキシャルリフトオフ法を用いるボンディング技術を基礎としたモノリシック集積化技術において、複数のリフトオフ膜を同時に正確に位置合わせすることができかつ接着界面の汚染が無い状態で接着させることが可能となり、集積化工程と整合性がよい手法が実現されることになる。

【0017】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0018】図1はGaAs回路とSi回路をモノリシックに集積化する実施例についての本発明の一実施例の工程図、図2は図1の各工程に対応するデバイスの模式的断面図を示す。図中、1は化合物半導体基板、2はリフトオフすべき薄膜であり、3はデバイスを構成する層、4はリフトオフ時にエッチングされる層（リフトオフ層）、5はリフトオフされない部分の保護膜層であり、6はワックスからなる応力付与膜、7は編目状のキャリアシート、8はシリコン基板である。

【0019】図3～図9は図1の本発明の一実施例の組み立て手順を実施するときの全体の様子を説明するための組立説明図である。図3は編目状のキャリアシートCの実装図で、(A)はその模式的断面図、(B)は模式的上面図、(C)キャリアシートの一部の拡大上面図であり、9はキャリアシートを支える枠、10は位置合わせマーク、13はキャリアシートの小部分、14はキャリアシートの穴を示す。図4はリフトオフすべき薄膜2を含む化合物半導体基板1のパターンイメージを示した模式的上面図であり、図5はリフトオフした薄膜2をキャリアシート7に張り付けた状態を示し、(A)はその模式的断面図、(B)はその模式的上面図である。図6はシリコン基板8の全体イメージを示し、(A)はその模式的断面図、(B)はその模式的上面図であり、11はシリコンLSI回路部分、12は薄膜が接着される位置を示す。また図7(A)は位置合わせおよび(B)は接着の様子を表した模式的断面図、図8は接着終了後のモノリシック集積回路の完成後のウエハの模式的上面図である。図9はリフトオフ前の基板の状態を示す模式的断面図である。

【0020】編目状のキャリアシート7は例えばポリイミドのような高分子のフィルムに多数の小さな穴14を

空けた構造を持つ。従ってキャリヤシート7には弾性がありそれに張り付けた物に歪が加わっても吸収できるものである。穴14の寸法やキャリヤシートとしてのフィルムの膜厚は特に規定するものではないが、寸法は剥離する薄膜2を支える必要のあることから薄膜2の寸法に対し数分の一以下である必要があり、また膜厚は機械的にフィルムの状態で扱うことができる寸法であればいくら薄くてもよい。高分子のフィルムの場合数 $\mu\text{m}$ 程度の寸法の物まで可能となろう。

【0021】応力付与膜6はリフトオフ時に薄膜2に反りを与えて湾曲させることにより泡を逃しリフトオフを完全に実行させるためのものであり、この実施例ではアピエゾンブラックワックスを用いるものとするが、同様の機能を果たす材料であればいかなる物でもよい。

【0022】図1および図2に基づきプロセス手順を説明すると以下の通りとなる。まず第一の工程(a)として、GaAs基板1の上にリフトオフすべき薄膜2を作製する。基本的な工程は従来から進められているリフトオフ用のGaAsデバイス作製工程と同様でよい。すなわち基板1上にリフトオフ用のAlAs層(リフトオフ層)4を薄く付け、その上にデバイスを実現するための素子層3を成長させ、そこに素子を実現するのである。図示の場合、素子層3はリフトオフすべき薄膜2を含めて3層からなるが、特にこれに限定されない。

【0023】この際、この実施例では基板上には一時的にリフトオフする素子以外に別の素子も同時に作製し、転写パターンに応じて必要な素子のみをリフトオフする方法をとっている。次にリフトオフをしない素子についてはリフトオフ工程時に膜剥がれ、エッチングによる表面ダメージなどの損傷を避けるためにその表面に保護膜5を付加する工程を行う(工程(b)ないし(d))。この際重要な点はエッチング時に溶液がリフトオフしない素子のエッチング層(リフトオフ層)4を保護することにある。なお、当然のことながらGaAs基板1上の全ての素子を同時にリフトオフする場合にはこの工程は省略することが可能である。保護膜5としては、必要条件として下層に損傷を与えないこと、後で取り去ることが可能なこと、フッ酸には耐性があること、などの条件さえ満足すればどのような物でもよく、高分子膜あるいは絶縁膜や金属など材質は問わない。

【0024】次にリフトオフしたい薄膜2の上にワックス6を付加する。この工程はメタルマスクを用いたワックス塗布法などの方法により行う(工程(e))。

【0025】ワックス6を塗布し乾燥させるとワックスには引っ張りの応力がかかることになる。

【0026】ワックスが固化した後、編目状のキャリヤシート7を接着する(工程(f))。この接着法にはいくつかの方法が可能である。最も簡単な方法はキャリヤシート表面に可剥離性の接着剤を塗布する、あるいは表面処理を加えるなどの手段により、他の材料との接着性

を確保する方法である。この場合ある一定以上の力が加わったときには剥離可能であるが、溶液中や少しの曲げ応力に対しては接着性が保たれるようにすることが容易にできる。他の方法は編目状のキャリヤシートをかけた状態でワックス部のみに接着剤を滴下し、キャリヤシートと薄膜2の接着を強固に行う方法である。この場合には紫外線硬化樹脂などの接着剤を用いれば選択的な接着が自動的に効率良く実施できる。なお、機械的な取扱いを容易にするためには、キャリヤシートを図3に示すように強固な枠に固定する必要がある。また転写時の位置合わせを容易にするためには図3～図5に示すようにキャリヤシート上に添わせ用の位置合わせマークを付加しておく方法が有効である。マークはキャリヤシートそのものを加工してもよく、あるいはキャリヤシート上に印刷または蒸着するなどの方法により付加してもよい。

【0027】キャリヤシート7とGaAs基板1を接着した段階でフッ酸によりフィルムのリフトオフを行う。エッチング液はシートの編目の間から浸透し、リフトオフすべき薄膜2直下の剥き出しになったAlAsからなるリフトオフ層4では反応が起き、薄膜周辺直下から徐々に溶解が始まる。薄膜にはワックスの応力がかかっていることおよび薄膜自体に弾性があることから、周囲のAlAsが融け出すと共に薄膜2に反りが生じ周辺が持ち上げられる。さらに奥の方にエッチング液が浸透すると共に、反応時に生じた気泡が周辺部から外に移動し、編目を通して外部に放出される。この結果薄膜の破損なく薄膜直下のリフトオフ層4がエッチングされることになる。なおこのエッチングの際に保護膜で覆われた部分はそのまま基板に残ることになる。

【0028】エッチングが終了した段階でGaAs基板1とキャリヤシート7を機械的に引き離す(工程(g))。この際キャリヤシート7は基板1と接着しているとしても剥離可能な界面状態とされていることから比較的弱い接着力であり、簡単に剥がすことが可能である。また薄膜2は基板から完全に分離されていることからキャリヤシートに付着した状態となる。この状態を模式的に示したのが図5である。

【0029】次に薄膜2が装着されたキャリヤシートを洗浄しフッ酸を洗い流した後、シリコン基板8上に配置して、薄膜2がシリコン基板8の所定の位置にくるように位置合わせする(工程(h))。薄膜2の位置とシリコン基板8上の接着位置12とを実物合わせでもあるいはシリコン基板8上とキャリヤシート7上やワックス6上や薄膜2上に位置合わせマーク10を付加し位置合わせを行う。

【0030】位置合わせが済むと薄膜2とシリコン基板8を接触し、接続したい薄膜2とワックス6を含めて加圧する(工程(i))。その際接触界面に水滴あるいは硫化アンモニウムのような液体を少量滴下すると接着が強固となる。この際位置合わせ精度が要求されない場合

には図示のように複数個の薄膜を一括して加圧すればよい。

【0031】接着後にキャリアシート7およびワックス6を取り去り、さらに配線工程やパッシベーション膜を付加するなどの工程を施すことによって所望のモノリシック集積回路を得ることができる。ワックスの除去は有機溶剤で、またキャリアシートの除去は強固な接着剤で固定していない限り、機械的に剥がすことによって可能となる。一括して処理する場合にはワックスを取り去る段階で同時に取り去る方法が簡単である。

【0032】上述の方法において高精度な位置合わせが要求される場合には一個ずつあるいは小数ずつの薄膜を単位として位置合わせさせ圧力をかけて接着をした後、接着した薄膜2のワックス部からキャリアシート7を剥がし、さらに別の回路の位置合わせ／接着を行う手順を繰り返せばよい。この場合完全な接着は時間をかける必要のあることから各位置合わせ工程後の接着は仮接着としキャリアシートを剥がすに足りる程度の簡単な圧接に留め、全体のレイアウトが終了した後で恒久的な接着をするための加圧手順をとればよい。

【0033】本発明の基本理念を変えることなく種々の変形変更を施すことが可能なことはいうまでもない。この実施例ではキャリアシートはウエハ全体にわたる領域のチップを対称としているが、転写単位を一部の領域に限定してもよい。また図2の工程において保護膜工程を別材料で行う手順をとっているが、ワックスそのものを保護膜として利用することも可能である。この場合図9に示すようにワックスを全面に付けておきリフトオフしたい薄膜2の直下のAlAs（リフトオフ層）のみが表面に表れるようにワックスの一部をエッチングにより取り去る工程をとればよい。

【0034】またワックスを塗る前にキャリアシートをかぶせ、リフトオフしたい薄膜の部分にのみワックスを塗布する方法も可能である。図10はこのような実施例を示す模式的断面図である。図中同一記号で示すものは第一の実施例のものと同一である。この場合、キャリアシート7の穴14に対応する位置のワックスは穴14内に流下しワックス層6には穴14の分布に対応するパターンの凹部ができる。このようにワックスは穴14内にも存在するので薄膜とキャリアシートとの接着剤の役割も果たすことになる。

#### 【0035】

【発明の効果】以上説明したように本発明は、エピタキシャルリフトオフ法を用いるボンディング技術を基礎としたモノリシック集積化技術において、複数個のリフトオフ膜を同時に正確に位置合わせできかつ接着界面の汚染が無い状態で接着させることが可能な、集積回路プロセスとの整合性がよい手法を提供したものである。この技術によって超高速素子あるいは光素子などシリコン技

術では不得意であった化合物半導体系の素子と大集積低電力などのシリコン素子の持つ特徴を兼ね備えた、優れたモノリシック集積回路の実現が量産性よく低コストに実現できる。また、この技術はシリコンと化合物半導体のみならず、化合物と化合物あるいは圧電体／磁性体／超伝導体と化合物など異種の材料のモノリシック集積化を実現できる。

#### 【図面の簡単な説明】

【図1】本発明装置の一実施例の工程手順を示す図である。

【図2】図1の各工程に対応するデバイスの模式的断面図であり、(a)はGaAsデバイス作製工程、(b)は分離加工工程、(c)はレジスト塗布工程、(d)は非リフトオフ部保護工程、(e)は応力付与膜形成工程、(f)はキャリアシート接着工程、(g)はリフトオフ工程、(h)は位置合わせ工程、(i)接着工程を表わす。

【図3】キャリアシートの実装図であり、(A)は模式的断面図、(B)は模式的上面図、(C)は一部拡大上面図である。

【図4】基板のパターンイメージを示す模式的上面図である。

【図5】リフトオフした薄膜をキャリアシートに張り付けた状態を示す図で、(A)は模式的断面図、(B)は模式的上面図である。

【図6】シリコン基板の全体イメージを示す図で、(A)は模式的断面図、(B)は模式的上面図である。

【図7】(A)は位置合わせの様子を表わす模式的断面図、(B)は接着の様子を表わす模式的断面図である。

【図8】完成ウエハの模式的上面図である。

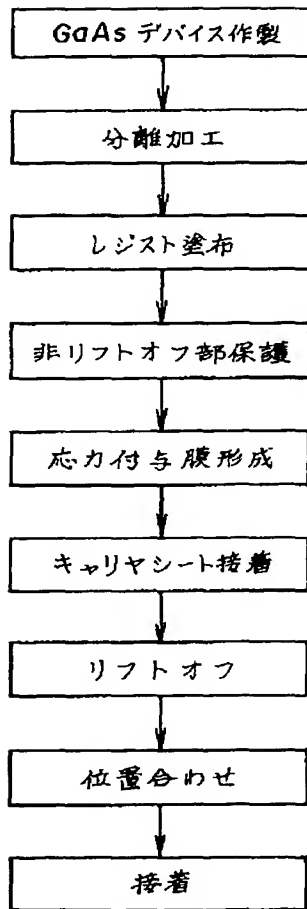
【図9】リフトオフ前の基板の状態を示す模式的断面図である。

【図10】本発明の他の実施例を説明する模式的断面図である。

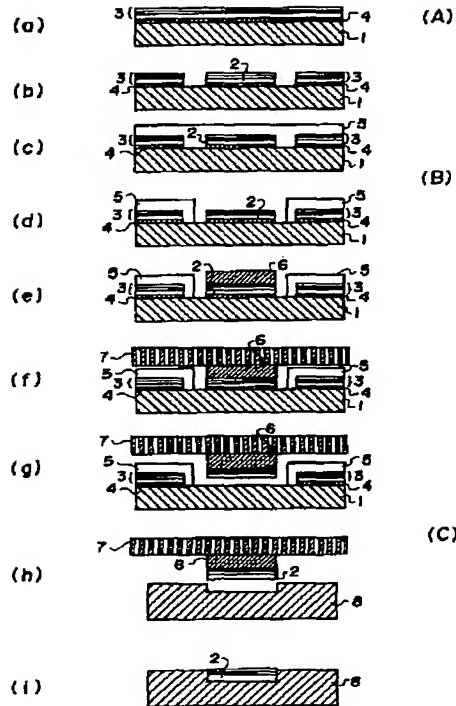
#### 【符号の説明】

- 1 半導体基板
- 2 リフトオフすべき薄膜
- 3 デバイスを構成する層
- 4 エッチング層（リフトオフ層）
- 5 保護膜層
- 6 ワックス
- 7 編目状のキャリアシート
- 8 シリコン基板
- 9 シートを支える枠
- 10 位置合わせマーク
- 11 シリコンLSI回路部分
- 12 薄膜の接着位置
- 13 キャリアシートの小部分
- 14 穴

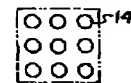
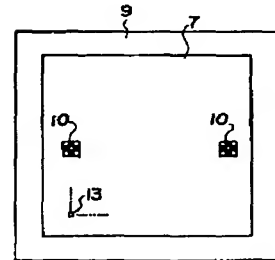
【図1】



【図2】



【図3】

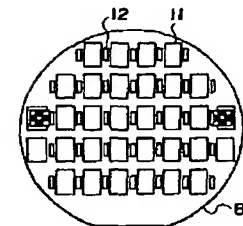


【図6】

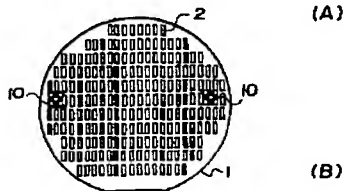


(A)

(B)



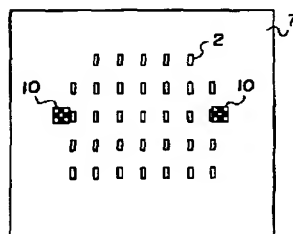
【図4】



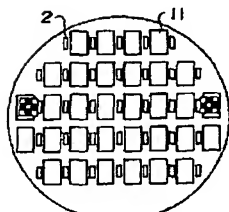
(A)

(B)

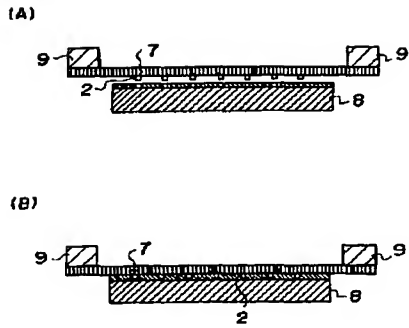
【図5】



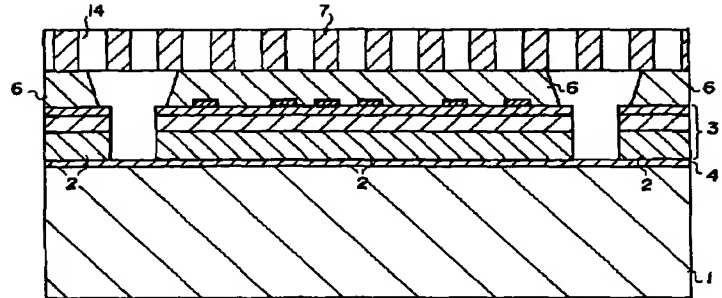
【図8】



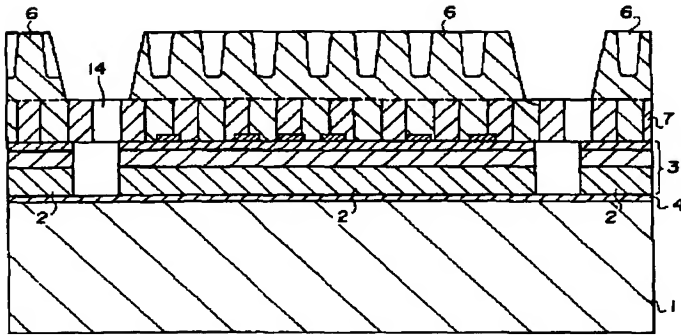
【図7】



【図9】



【図10】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-151720

(43)Date of publication of application : 31.05.1994

(51)Int.Cl.

H01L 27/04

H01L 21/52

H01L 27/14

(21)Application number : 04-302631

(71)Applicant : NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

(22)Date of filing : 12.11.1992

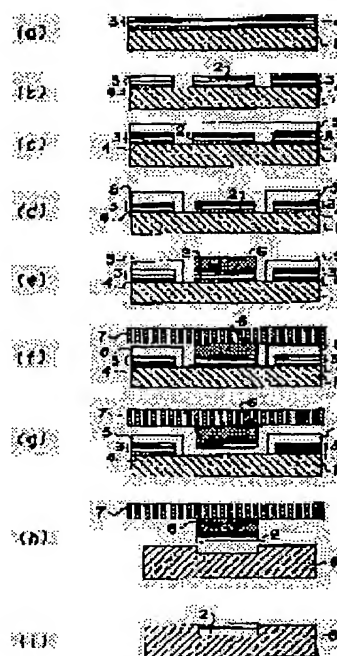
(72)Inventor : TAKARAGAWA KOJI  
UEMATSU YOSHIHIKO

## (54) CONSTRUCTING METHOD MONOLITHIC INTEGRATED CIRCUIT

## (57)Abstract:

**PURPOSE:** To simultaneously align a plurality of lift-off films accurately, and to eliminate contamination on adhesive interface by a method wherein a hole- provided elastic sheet is adhered to a thin film before it is lifted off, then the thin film is lifted off, and the thin film and the second substrate are adhered.

**CONSTITUTION:** A thin film 2, to be lifted off, is formed on a GaAs substrate 1. Then, a protective film 5 is added to the element which is not lifted off. Wax 6 is added to the surface of the thin film 2 which is desired to be lifted off. After the wax has been solidified, a reticulate carrier sheet 7 is adhered. In the stage where the carrier sheet 7 and the GaAs substrate 1 have been adhered, the film is lifted off by fluoric acid. In the stage where an etching operation is finished, the GaAs substrate 1 and the carrier sheet 7 are mechanically separated. Then, the material is cleaned, and after fluoric acid has been washed away, the thin film 2 is aligned in such a manner that the thin film 2 is placed on the prescribed position of the silicon substrate 8.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-151720

(43)Date of publication of application : 31.05.1994

1)Int.Cl.

H01L 27/04  
H01L 21/52  
H01L 27/14

1)Application number : 04-302631

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

2)Date of filing : 12.11.1992

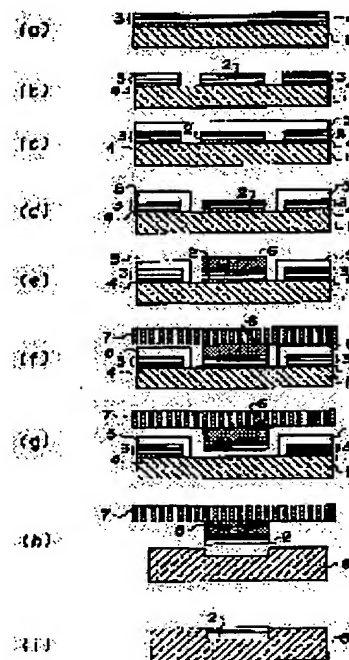
(72)Inventor : TAKARAGAWA KOJI  
UEMATSU YOSHIHIKO

## 4) CONSTRUCTING METHOD MONOLITHIC INTEGRATED CIRCUIT

### 7)Abstract:

URPOSE: To simultaneously align a plurality of lift-off films accurately, and to eliminate contamination on adhesive interface by a method wherein hole- provided elastic sheet is adhered to a thin film before it is lifted off, then the thin film is lifted off, and the thin film and the second substrate are adhered.

ONSTITUTION: A thin film 2, to be lifted off, is formed on a GaAs substrate 1. Then, a protective film 5 is added to the element which is not lifted off. Wax 6 is added to the surface of the thin film 2 which is desired to be lifted off. After the wax has been solidified, a reticulate carrier sheet is adhered. In the stage where the carrier sheet 7 and the GaAs substrate 1 have been adhered, the film is lifted off by fluoric acid. In the stage where an etching operation is finished, the GaAs substrate 1 and the carrier sheet 7 are mechanically separated. Then, the material is cleaned, and after fluoric acid has been washed away, the thin film 2 is aligned in such a manner that the thin film 2 is placed on the prescribed position of the silicon substrate 8.



## LEGAL STATUS

Date of request for examination]

Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the examiner's decision of rejection or application converted to registration]

Date of final disposal for application]

Patent number]

Date of registration]

Number of appeal against examiner's decision of rejection]

Date of requesting appeal against examiner's decision of rejection]

Date of extinction of right]

## NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

\*\*\*\* shows the word which can not be translated.

In the drawings, any words are not translated.

---

AIMS

---

claim(s)]

claim 1] The lower layer of the first semiconductor substrate which has a multilayer semiconductor film containing an upper layer which comes to realize a device, and the lower layer which is a lift-off layer is removed by etching. In the construction of the monolithic integrated circuit which exfoliates considering the upper layer as a thin film, and sticks the thin film on the second semiconductor substrate. The aforementioned thin film is pasted to use the carrier sheet of the elasticity which has a hole as a carrier sheet of the aforementioned thin film before the lift off of the aforementioned thin film. Construction of the monolithic integrated circuit characterized by arranging on the substrate, the above second where it carried out the lift off to after an appropriate time and the aforementioned thin film is stuck on the aforementioned carrier sheet, and sticking the aforementioned thin film and the second substrate of the above.

claim 2] Construction of the monolithic integrated circuit according to claim 1 characterized by adding a stress grant film on the aforementioned thin film, and sticking the aforementioned carrier sheet on it.

claim 3] Construction of the monolithic integrated circuit according to claim 1 characterized by placing the direct aforementioned carrier sheet and adding a stress grant film later to serve also as adhesion of the aforementioned thin film and a carrier sheet on the aforementioned thin film.

claim 4] Construction of the monolithic integrated circuit according to claim 1, 2, or 3 which arranges an alignment mark on the aforementioned carrier sheet top, the aforementioned stress grant film front face, or the aforementioned thin film, and is characterized by the bird clapper.

---

translation done.]

## NOTICES \*

pan Patent Office is not responsible for any  
mages caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

\*\*\*\* shows the word which can not be translated.

In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

001]

[Industrial Application] this invention relates to the construction of the monolithic integrated circuit which can demonstrate the features which are not acquired, such as functionality and economical efficiency, in each circuit by including in a monolithic two or more electronic integrated circuits or optical integrated circuit from which a function, property, etc. differ based on epitaxial lift-off technology.

002]

[Description of the Prior Art] The high performance which is not until now, high efficiency, or a low cost circuit may be realizable by combining with a monolithic the silicon element which is excellent in heterogeneous semiconductor device, for example, a low price and large-scale-integrated-circuit implementability, a large area, lightweight, high density, light-and-heat conductivity, etc., and compound semiconductor element which is excellent in a ultra high-speed circuit, a light-corpuscle child's implementability, etc., such as GaAs and InP, and integrating. Examination of a device on the epitaxial growth technology of growing up a compound semiconductor like gallium arsenide on a silicon substrate with an eye on realization of such an element conventionally, and its silicon substrate (on-silicon device) is advanced energetically. Consequently, although the property of level without the thing and inferiority on a bulk substrate has come to be acquired in a simple substance device or a small-scale circuit, it does not come to solve completely essential troubles, such as existence of transition by existence of the opposite phase grain to which it comes from the material itself, and grid mismatching, and the big circuit of a degree of integration and highly efficient element realization are difficult. Moreover, there are not few troubles which should be solved, such as reliability etc., a element yield and over a long period of time.

003] Thus, hybridization by the film bonding technology on the basis of the epitaxial lift-off method is proposed recently, and attention is attracted as promising technology. It is just going to make this technology an aim that it is going to realize a monolithic device by building a near device and making it rival about an individual ideal on the perfect crystal obtained in the present condition.

004] With this technology, the etching rate to the fluoric acid of AlAs inserts a thin (from 10nm to about 50nm) AlAs layer in a lower layer in the stage of growing up a crystal using about the 7th power of 10, and a very large thing compared with other materials, such as GaAs, and the layer for realizing a device on it is grown up. The lift off of the layer above AlAs is carried out by the wet etching by fluoric acid after a device production process (or a stage or a next stage is sufficient in the middle of a process). In order to avoid that the thin film by which a lift off was carried out for the foam which comes out at the time of a lift off is damaged, after the technology apply an Apiezon wax to the front face of the portion which should choose etching conditions from which a reaction does not occur violently, and could serve as an ablation film in front of a lift off, use the stress by it, and make it the foam which came out escape as developed, it could use completely. Although the thickness of the thin film by which a lift off is carried out changes with the structure of a device, existence of a buffer layer, etc., it is usually about several micrometers from several 100nm, and the size is possible to the size of about 1-2cm.

005] Although attachment of the thin film to a substrate top also has a method using adhesives, it is the method for which the adhesion by Van der Waals force was most suitable from points, such as contamination, flatness reservation, etc. of a substrate.

006] The demand which carries out lamination of the chip in which the device was carried conventionally by etching exists in a PAWADE vice etc., and the method of deleting a substrate by polish mechanical for this reason is taken. However, with this technology, a limitation is in lamination and it has stopped at 100-micrometer order grade. Although the whole substrate is melted by etching and there is also last method, a process cannot say it as a complicated and practical method. There is almost no injury in a device by on the other hand, carrying out a lift off, in

ite of being a method on the basis of the easy technology of a lift off, there is also no problem of a defect like the thin n manufactured by epitaxial growth, and there is the feature that integrated-circuit-izing from from [ after sticking ] possible, from thickness being very smaller still.

007]

problem(s) to be Solved by the Invention] However, there is a big trouble that this technology with such a feature also s bad adjustment with an integration process. Even though it is difficult for precision to improve alignment to a sition in the stage of sticking on a substrate the thin film which carried out the lift off, and it is difficult to treat the ment of precise structure, and also it is also impossible to treat many thin films as a matter of fact and it treats a all number of thin film, there are troubles, like productivity is very bad.

008] Although the method of putting in order and sticking on a transparent sheet and pasting up on a substrate after it (bonding) is also proposed after removing a wax from the thin film which carried out the lift off as a method of lving these troubles, there is a problem take a dimensional accuracy in the precise alignment to a sheet top being ficult, and carrying out alignment of two or more thin films simultaneously in this case, and also there is a serious oblem that where of adhesion reliability falls by contamination of an adhesion side.

009] adjustment with an integrated-circuit production process with possible [ this invention ] making it paste up in e state where the alignment of two or more lift-off films can be carried out correctly simultaneously, and there is no ntamination of an adhesion interface in the monolithic integration technology on the basis of the bonding technology, using the epitaxial lift-off method makes it a technical problem to offer the construction which is a good monolithic egrated circuit

010]

leans for Solving the Problem] In order to attain the above-mentioned purpose this invention according to claim 1 e lower layer of the first semiconductor substrate which has a multilayer semiconductor film containing the upper er which comes to realize a device, and the lower layer which is a lift-off layer is removed by etching. In the nstruction of the monolithic integrated circuit which exfoliates considering the upper layer as a thin film, and sticks e thin film on the second semiconductor substrate The aforementioned thin film is pasted to use the carrier sheet of e elasticity which has a hole as a carrier sheet of the aforementioned thin film before the lift off of the orementioned thin film. Where it carried out the lift off to after an appropriate time and the aforementioned thin film stuck on the aforementioned carrier sheet, it arranges on the substrate of the above second, and it is characterized by cking the aforementioned thin film and the second substrate of the above.

011] Invention according to claim 2 is characterized by adding a stress grant film on the aforementioned thin film, d sticking the aforementioned carrier sheet on it.

012] Invention according to claim 3 is characterized by placing the direct aforementioned carrier sheet and adding a ess grant film later to serve also as adhesion of the aforementioned thin film and a carrier sheet on the orementioned thin film.

013] Invention according to claim 4 arranges an alignment mark on the aforementioned carrier sheet top, the orementioned stress grant film front face, or the aforementioned thin film, and is characterized by the bird clapper.

014]

unction] In the construction of the monolithic integrated circuit of this invention, the adhesion process is arranged so it it may become the foundation of the layout on silicon at the time of production of two or more elements which ould be carried out a lift off, it sticks on the carrier sheet of the shape of a stitch which clamped the circumference so it the positional information may be maintained, and a lift off is carried out in the state, and it sticks on a silicon bstrate as it is, and carries out by removing a wax after that.

015] In the construction of the monolithic integrated circuit of this invention, without reaction mixture and a foam ing barred by the carrier at the time of a lift off, the stitch-like sheet is used as a carrier sheet so that it can go back d forth between a reacting point and the exterior freely. Moreover, it exfoliates simultaneously from the growth bstrate which maintained place information so that it may not be in the state where perform a lift off for the first time er pasting up the wax and the stitch-like carrier sheet of the front face on which the device which should exfoliate in e shape of a film is put, namely, each thin film exfoliates independently respectively. Since a substrate is made to ste further as it is, and a pressure is applied and it pastes up, without [ therefore ] passing through an excessive ocess after ablation, alignment of the lift-off side is carried out to the place which should be pasted up with a pure ite, it is pressurized, and is pasted up.

016] that is, according to this invention, in the monolithic integration technology on the basis of the bonding hnology using the epitaxial lift-off method, it becomes possible to make it paste up in the state where alignment of o or more lift-off films can be carried out correctly simultaneously, and there is no contamination of an adhesion erface, and technique with a sufficient integration process and sufficient adjustment is realized -- it becomes things

[17]

[sample] Hereafter, with reference to a drawing, the example of this invention is explained in detail.

[18] In drawing 1, process drawing of one example of this invention about an example which integrates a GaAs circuit and Si circuit to a monolithic, and drawing 2 show the typical cross section of the device corresponding to each process of drawing 1. One is a compound semiconductor substrate and the thin film which should carry out the lift off 2 among drawing, the layer from which 3 constitutes a device, the layer (lift-off layer) which \*\*\*\*\*s 4 at the time of a lift off, and 5 are the protective coat layers of the portion by which a lift off is not carried out, and, as for the stress grant film with which 6 consists of a wax, and 7, a stitch-like carrier sheet and 8 are silicon substrates.

[19] Drawing 3 - drawing 9 are assembly explanatory drawings for explaining the whole situation when carrying out the assembly procedure of one example of this invention of drawing 1. In the frame with which drawing 3 is the mounting view of the stitch-like carrier sheet C, (A) is the typical cross section, (B) is some expansion plans of typical plan and (C) carrier sheet, and 9 supports a carrier sheet, and 10, an alignment mark and 13 show the element of a carrier sheet, and 14 shows the hole of a carrier sheet. Drawing 5 shows the state where the thin film 2 which carried out the lift off was stuck on the carrier sheet 7, drawing 4 is the typical plan having shown the pattern image of the compound semiconductor substrate 1 containing the thin film 2 which should be carried out a lift off, and (B) is [ (A) is the typical cross section and ] the typical plan. Drawing 6 shows the whole silicon-substrate 8 image, (A) is the typical cross section, (B) is the typical plan, and the position where a silicon LSI circuit portion pastes up 11 and a thin film pastes up 12 is shown. Moreover, the typical cross section with which alignment and (B) expressed the situation of adhesion in drawing 7 (A), and drawing 8 are the typical plans of the wafer after completion of the monolithic integrated circuit after an adhesion end. Drawing 9 is the typical cross section showing the state of the substrate in front of a lift off.

[20] The stitch-like carrier sheet 7 has the structure which made many small holes 14 in the film of a macromolecule like a polyimide. Therefore, it is absorbable even if distortion joins the object which there is elasticity in the carrier sheet 7 and was stuck on it. Although especially the thickness of the film as the size or carrier sheet of a hole 14 is not specified, since a size has the need of supporting the exfoliating thin film 2, it is necessary to be less than [ 1/several ] the size of a thin film 2 and, and as long as thickness is the size which can be mechanically treated in the state of a film, it may be thin how much. In the case of the film of a macromolecule, even an object with a size of about several centimeters will become possible.

[21] Although the Apiezon black wax shall be used in this example, as long as the stress grant film 6 is for missing a bubble and performing a lift off completely by giving curvature at the time of a lift off, and incurvating it to a thin film at it and is a material which achieves the same function, what object is sufficient as it.

[22] If a process procedure is explained based on drawing 1 and drawing 2, it will become as follows. The thin film which should be carried out a lift off on the GaAs substrate 1 is first produced as the first process (a). A fundamental process is the same as the GaAs device production process for lift offs advanced from the former, and is good. That is, the AlAs layer 4 for lift offs (lift male layer) is thinly attached on a substrate 1, the element layer 3 for realizing a device on it is grown up, and an element is realized there. Although the element layer 3 consists of three layers including the thin film 2 which should be carried out a lift off in illustration, it is not limited to especially this.

[23] Under the present circumstances, in this example, another element in addition to the element which carries out a lift off at a stretch on a substrate was also produced simultaneously, and the method of carrying out the lift off only of the required element according to an imprint pattern is taken. Next, in order to avoid the injury on the surface damage of film peeling and etching etc. about the element which does not carry out a lift off at the time of a lift-off process, the process which adds a protective coat 5 to the front face is performed (a process (b) or (d)). Under the present circumstances, an important point is for a solution to protect the etching layer (lift-off layer) 4 of the element which does not carry out a lift off at the time of etching. In addition, this process can be omitted when carrying out the lift off of all the elements on the GaAs substrate 1 simultaneously with a natural thing. If even conditions, like not doing an injury to a lower layer as a requirement, that removing later is possible, and there is resistance in fluoric acid are satisfied as a protective coat 5, what object will be sufficient and poly membrane \*\*\*\* will not ask the quality of the materials, such as an insulator layer metallurgy group.

[24] Next, a wax 6 is added on the thin film 2 to carry out a lift off. This process is performed by methods, such as the wax applying method for having used the metal mask, (process (e)).

[25] If a wax 6 is applied and dried, the stress of hauling will become this thing in a wax.

[26] After a wax solidifies, the stitch-like carrier sheet 7 is pasted up (process (f)). By this pasting-up method, some methods are possible. The easiest method is a method of securing an adhesive property with other materials by means, such as applying detachability good adhesives to a carrier sheet front face, or adding surface treatment to it. In this case, although it can exfoliate when a certain force more than fixed is added, it can perform easily that an

hesive property is maintained to the bending stress of the inside of a solution, or a few. Other methods are methods adhesives being dropped only at the wax section where a stitch-like carrier sheet is covered, and performing hession of a carrier sheet and a thin film 2 firmly. In this case, if adhesives, such as ultraviolet-rays hardening resin, are used, alternative adhesion can carry out efficiently automatically. In addition, in order to make mechanical handling easy, as shown in drawing 3, it is necessary to fix a carrier sheet to a firm frame. Moreover, in order to make alignment at the time of an imprint easy, the method of mating on a carrier sheet and adding the alignment mark of silicon, as shown in drawing 3 - drawing 5 is effective. A mark may process the carrier sheet itself or may add it by printing, carrying out vacuum evaporation, etc. on a carrier sheet.

027] Fluoric acid performs the lift off of a film in the stage which pasted up the carrier sheet 7 and the GaAs substrate 1. In the lift-off layer 4 which an etching reagent permeates from between the stitches of a sheet, and consists of AlAs of the thin film 2 directly under which should be carried out a lift off which became unreserved, a reaction occurs and the dissolution begins from directly under [ thin film circumference ] gradually. Since elasticity is in that stress of a wax is applied to a thin film, and the thin film itself, curvature arises [ surrounding AlAs ] in a thin film with \*\*\*\*\*, and the circumference is raised. While an etching reagent furthermore permeates back one, the foam produced in reaction time moves outside from a periphery, and is emitted outside through a stitch. As a result, the lift-off layer [ be / no breakage of a thin film ] 4 directly under a thin film will \*\*\*\*\*. In addition, the portion covered by the protective coat on the occasion of this etching will remain in a substrate as it is.

028] The GaAs substrate 1 and the carrier sheet 7 are mechanically pulled apart in the stage which etching ended (process (g)). Under the present circumstances, it is possible to be comparatively weak adhesive strength and to remove from considering as the interface state where it can exfoliate, though the carrier sheet 7 is pasted up with the substrate 1 simply. Moreover, since it dissociates from the substrate completely, a thin film 2 will be in the state where it adhered the carrier sheet. Drawing 5 showed this state typically.

029] Next, after washing the carrier sheet with which it was equipped with the thin film 2 and flushing fluoric acid, it ranges on a silicon substrate 8, and alignment is carried out so that a thin film 2 may come to the position of a silicon substrate 8 (process (h)). Object doubling also adds the alignment mark 10 for the position of a thin film 2, and the hession position 12 on a silicon substrate on a silicon substrate 8, the carrier sheet 7, a wax 6, and a thin film 2, and alignment is performed.

030] If alignment ends, a thin film 2 and a silicon substrate 8 will be pressurized including a thin film 2 and a wax 6 contact and connect (process (i)). In that case, if small-amount dropping of waterdrop or a liquid like an ammonium fluoride is carried out at a contact interface, adhesion will become firm. Under the present circumstances, what is necessary is to put in block two or more thin films like illustration, and just to pressurize, when alignment precision is required.

031] The carrier sheet 7 and a wax 6 can be removed after adhesion, and a desired monolithic integrated circuit can be obtained by giving the process of adding a wiring process and a passivation film further. Removal of a wax is an organic solvent, and removal of a carrier sheet becomes possible by removing mechanically, unless it is fixing with in adhesives. When processing collectively, the method of removing simultaneously in the stage which removes a wax is easy.

032] What is necessary is to remove the carrier sheet 7 from the wax section of the pasted-up thin film 2, and just to repeat the procedure of performing alignment/adhesion of still more nearly another circuit, after pasting up by carrying out alignment, using the thin film of every [ a piece ] or every a decimal as a unit, and putting a pressure, when highly precise alignment is required in an above-mentioned method. In this case, what is necessary is just to take the pressurization procedure for carrying out lasting adhesion, after it stops to the easy pressure welding of the grade which is sufficient for considering adhesion after each alignment process as temporary adhesion, and removing a carrier sheet and the whole layout finishes, since perfect adhesion has the need of spending many hours.

033] It cannot be overemphasized that it is possible to give various deformation change without changing the basic idea of this invention. Although the carrier sheet makes the chip of the field covering the whole wafer symmetrical in this example, you may limit a transcription unit to some fields. Moreover, although the procedure of performing a protective coat process with another material in the process of drawing 2 is taken, it is also possible to use the wax itself as a protective coat. In this case, what is necessary is just to take the process which removes some waxes by shining so that only AlAs [ directly under ] (lift-off layer) of the thin film [ attaches the wax to the whole surface and ] to carry out a lift off as shown in drawing 9 may appear in a front face.

034] Moreover, the method of putting a carrier sheet, before applying a wax, and applying a wax only to the portion of a thin film to carry out a lift off is also possible. Drawing 10 is the typical cross section showing such an example. What is shown with a same-among drawing sign is the same as that of the thing of the first example. In this case, the wax of the position corresponding to the hole 14 of the carrier sheet 7 flows down in a hole 14, and the crevice of the

tern corresponding to the distribution of a hole 14 is made in the wax layer 6. Thus, since a wax exists also in a hole, the role of the adhesives of a thin film and a carrier sheet will also be played.

035]

Effect of the Invention] as explained above, in the monolithic integration technology on the basis of the bonding technology of using the epitaxial lift-off method, adjustment of this invention with an integrated-circuit process with possible making it paste up in the state where the alignment of two or more lift-off films can be carried out correctly simultaneously, and there is no contamination of an adhesion interface is good -- technique is offered Realization of the outstanding monolithic integrated circuit which has the feature which the element of the compound semiconductor system at which were poor, and silicon elements, such as large accumulation low power, have with silicon technology, such as a ultra high-speed element or a light-corpuscle child, can be realized with sufficient mass-production nature to low cost with this technology. Moreover, this technology can realize monolithic integration of material of a different kind, such as silicon, not only a compound semiconductor but a compound, a compound, or a piezo electric crystal / magnetic substance / superconductor, a compound.

---

translation done.]

## NOTICES \*

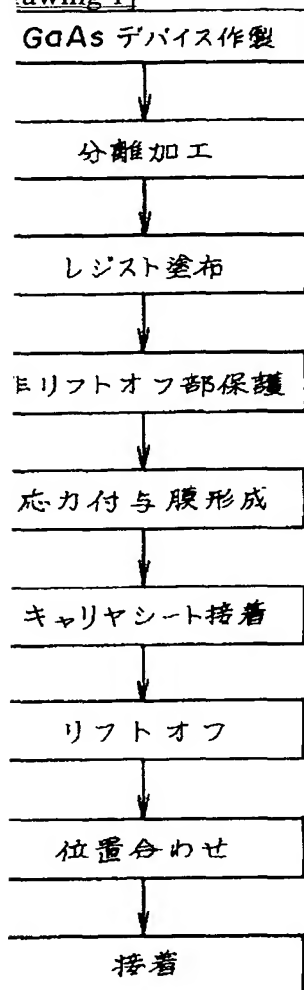
Japan Patent Office is not responsible for any  
errors caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

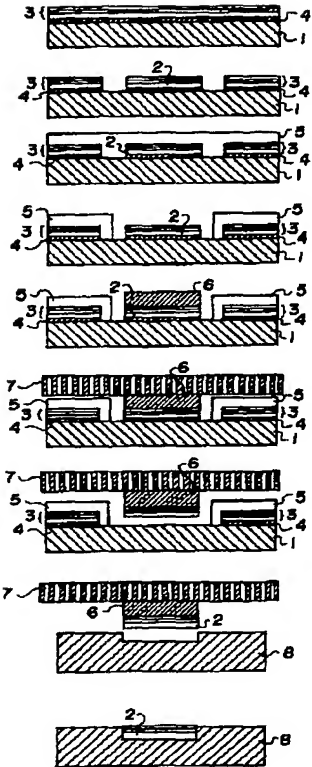
\*\*\* shows the word which can not be translated.

In the drawings, any words are not translated.

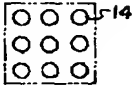
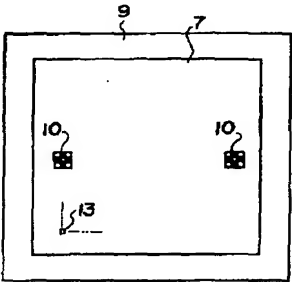
## DRAWINGS

Drawing 1]rawing 2]

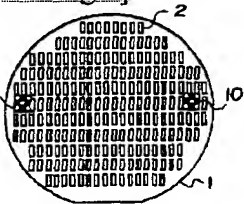




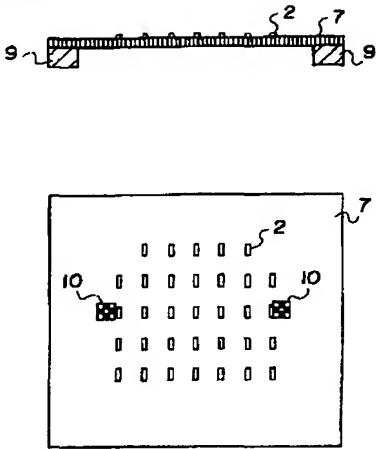
rawing 3]



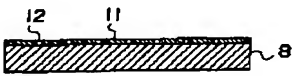
rawing 4]



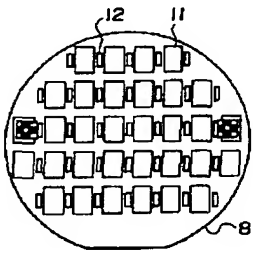
rawing 5]



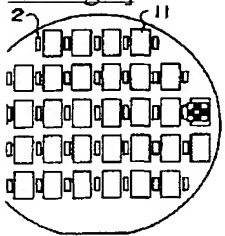
rawing 6]



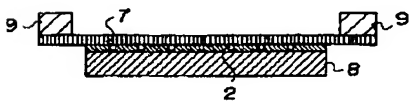
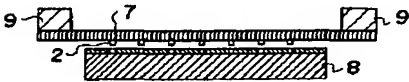
)



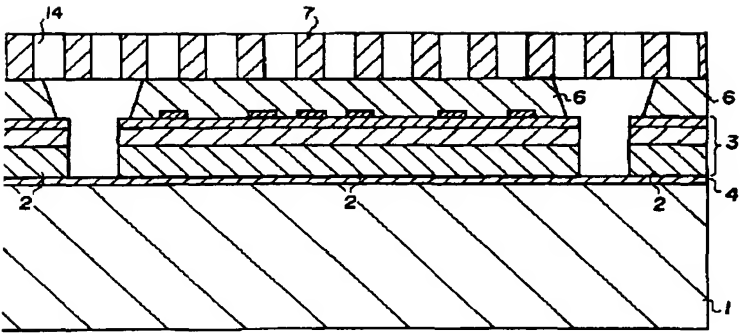
rawing 8]



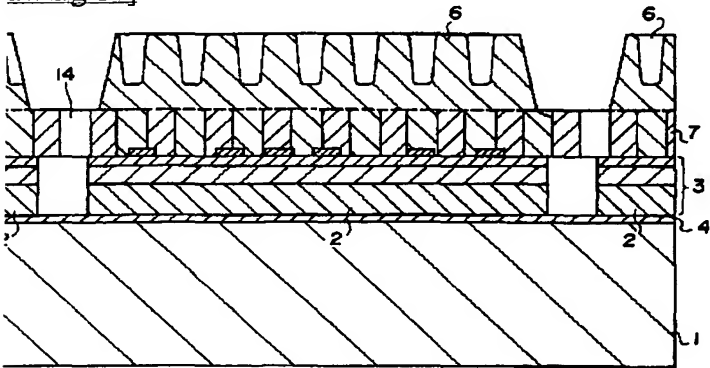
rawing 7]



rawing 9]



awing 10]



anslation done.]